

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-055900

(43)Date of publication of application : 05.03.1993

(51)Int.Cl.

H03K 19/0185

(21)Application number : 03-237216

(71)Applicant : SONY CORP

(22)Date of filing : 22.08.1991

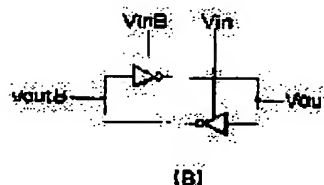
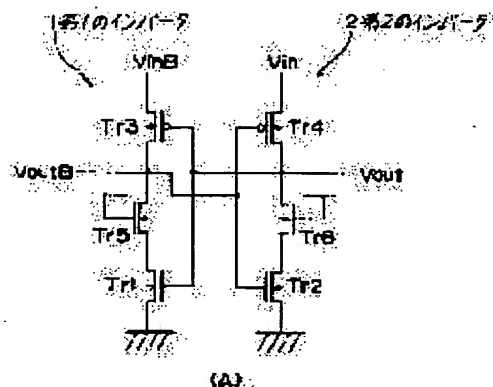
(72)Inventor : USUKI HIDEKI

(54) LEVEL CONVERSION CIRCUIT

(57)Abstract:

PURPOSE: To execute level conversion from small input amplitude to large output amplitude by sufficiently reducing the current driving capacity of a MOS transistor(TR) to be connected to a fixed power supply as compared with the power supply driving capacity of a TR to be connected to a power supply for supplying an input signal.

CONSTITUTION: A level conversion circuit uses CMOS constitutional inverters 1, 2 consisting of the 1st pMOS TRs 3, 4 and the 2nd nMOS TRs 1, 2 and sets up an FF to a reference type. Input signals V_{in} , V_{inB} are supplied from the power supply sides of the inverters 1, 2. On the other hand, outputs V_{out} , V_{outB} are extracted from nodes between the TRs 3, 4 and the TRs 1, 2 and, the current driving capacity of the TRs 1, 2 connected to the voltage fixed side power supply is set up to a value sufficiently smaller than that of the signal input side TRs 3, 4. Thereby an input threshold is dropped only by the input thresholds of the power supply side TRs 3, 4 to which an input signal is supplied, a stable point is moved by a slight change in the input signal and small input amplitude is level-converted into large output amplitude.



LEGAL STATUS

[Date of request for examination]

04.08.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3079675

[Date of registration]

23.06.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

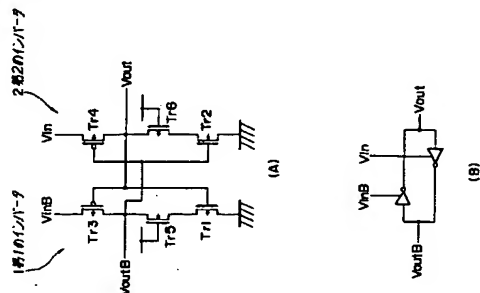
(5)MCL [*] H 0 3 K 19/0185	識別記号	庁内整理番号	F I	技術表示箇所
		6859-5J	H 0 3 K 19/ 00	1 0 1 E
				審査請求 未請求 請求項の数 2(全 5 頁)
21)出願番号	特願平3-237216	(71)出願人	000002105	
22)出願日	平成 3 年(1991) 8 月22日		ソニー株式会社	
		(72)発明者	東京都品川区北品川 6 丁目 7 番35号	
			白木 秀樹	
			東京都品川区北品川 6 丁目 7 番35号	ソニ
			一株式会社内	
		(74)代理人	弁理士 船橋 四郎	

54)【発明の名称】
レベル変換回路

57)【要約】

【目的】 DC電流を消費することなく高速動作が可能
なレベル変換回路を提供する。

【構成】 第1の導電型MOSTランジスタTr3 (Tr 3) と第2の導電型MOSTランジスタTr1 (Tr 1) とからなるCMOS構成のインバータ1、2を用いて、フリップフロップを基本形とするレベル変換回路を構成し、上記各インバータ1、2の電源側から入力信号Vin、Vout、VoutBを供給するとともに、出力信号Vout、VoutBを上記第1の導電型MOSTランジスタTr3 (Tr 3) と第2の導電型MOSTランジスタTr1 (Tr 1) との接続点から取り出すように、かつ電圧固定側の電源に接続されるトランジスタTr1 (Tr 1) の電流駆動能力を、上記信号入力側のトランジスタTr3 (Tr 3) の電流駆動能力よりも十分小さくする。



実施例のレベルを挿入図

【0008】これらのCMOSインバータに介装されている各トランジスタTr5、Tr6は、インバータを流れる貫通電流を制限するために設けられているものであり、CMOSインバータを構成する各トランジスタTr1、Tr2、Tr3、Tr4は、介装されているトランジスタTr5、Tr6よりも充分に大きな駆動能力を有するトランジスタを構成している。

【0009】図2は、フリップフロップを構成するインバータを示しており、図2の(A)は構成図、(B)は回路図をそれぞれ示している。また、図3はインバータの入出力特性を示している。図2のインバータの入力値は、およそ $V_{in} - V_{thp}$ ($V_{thp} = pMOS$ トランジスタの V_{th})となる。このインバータを用いてフリップフロップを構成した場合、 $V_{in} = V_{inB}$ の時のバタフライプロットは、図4の特性図に示すようになる。図4から明らかなように、 $V_{in} = V_{inB}$ の時には安定点が二つあり、データはラッチされる。

【0010】ところが、図5の特性図に示すように $V_{in} = V_{inB} + V_{thp} + \alpha$ となると、安定点は一つになり、出力はその安定点に移動する。したがって、この場合は入力振幅 $V_{thp} + \alpha$ が、出力振幅 $V_{in} + \alpha$ にレベル変換されたことになる。なお、データを反転せしめるときは、 $V_{inB} = V_{in} + V_{thp} + \alpha$ とすればよい。

【0011】図6は、本実施例のレベル変換回路のレベル変換動作を示す波形図である。図6において、実線の特性曲線(a)は V_{in} を示し、破線の特性曲線(b)は V_{out} を示している。また、一点鎖線の特性曲線(c)は V_{inB} を示し、二点鎖線の特性曲線(d)は V_{outB} を示している。図6から明らかなように、本実施例のレベル変換回路は1.4V程度の入力振幅が5Vの出力振幅にレベル変換されることが判る。

【0012】上記のようにしてレベル変換が行われるので、本実施例のレベル変換回路は次のような特性を有する。すなわち、①DC消費電流が流れない。②各々のトランジスタ素子の電流駆動能力を大きくすることにより、次の出力駆動能力を上げることができ、DC電流を気にせずに高速化が可能である。③ただし、入力振幅は V_{thp} 以上必要であり、入力感度は V_{thp} 以下にはできない。④出力振幅は、入力電圧レベル V_{in} 、 V_{inB} からGNDまでフルスイングする。

【0013】図7は、フルアップのpMOSトランジスタTr3、Tr4にバイポーラトランジスタQ1、Q2を付加して出力駆動能力を増加させた回路を示している。すなわち、図1に示した回路のようにバイポーラトランジスタQ1、Q2が付加されていない回路では、出力のプルアップを高速化するためにはpMOSトランジスタTr3、Tr4のサイズをかなり大きくする必要がある。

ある。しかし、図7の回路のように、バイポーラトランジスタQ1、Q2を付加することによって、pMOSトランジスタTr3、Tr4のサイズを大きくすることなく高速化が可能になる。

【0014】

【発明の効果】本発明は上述したように、第1の導電型MOSトランジスタと第2の導電型MOSトランジスタとからなるCMOSトランジスタによって構成される第1のインバータおよび第2のインバータを用いて、フリップフロップを基本形とするレベル変換回路を構成し、上記インバータの電源側から入力信号を供給するよう、第1のインバータの出力を第2のインバータの入力とするとともに、出力を上記第1の導電型MOSトランジスタと第2の導電型MOSトランジスタとの接続点から取り出すようにし、かつ上記入力信号が供給される電源側に接続されるトランジスタの電流駆動能力を大きくし、電圧固定側の電源に接続されるトランジスタの電流駆動能力を上記入力信号が供給される電源側に接続したことで、上記入力信号が供給するためのレベルシフトを、DC電流を消費することなく行うことができ、消費電流を減らすことなく高速化を可能にする。

【図面の簡単な説明】

【図1】本発明の一実施例を示すレベル変換回路の回路図および構成図である。

【図2】インバータ構成図および回路図である。

【図3】インバータの入出力特性図である。

【図4】 $V_{in} = V_{inB}$ の時のバタフライプロットを示す特性図である。

【図5】 $V_{in} = V_{inB} + V_{thp} + \alpha$ の時のバタフライプロットを示す特性図である。

【図6】図1の回路動作を示す波形図である。

【図7】本発明の応用例を示す回路図である。

【図8】従来例を示し、フリップフロップを用いたレベル変換回路図である。

【図9】従来例を示し、カレントミラーを用いたレベル変換回路図である。

【符号の説明】

1 第1のCMOSインバータ

2 第2のCMOSインバータ

V_{in} 入力信号

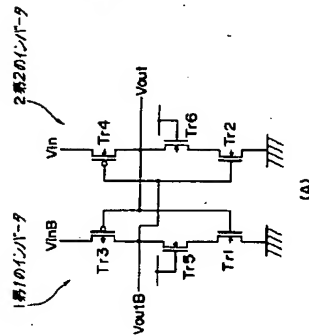
V_{inB} 反転入力信号

V_{out} 出力信号

V_{outB} 反転出力信号

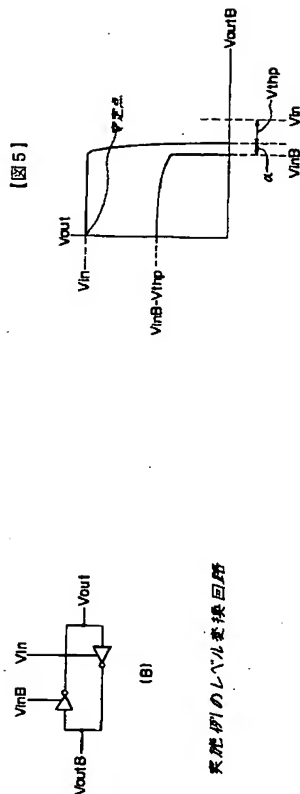
V_{thp} pMOSトランジスタのしきい値

【図1】



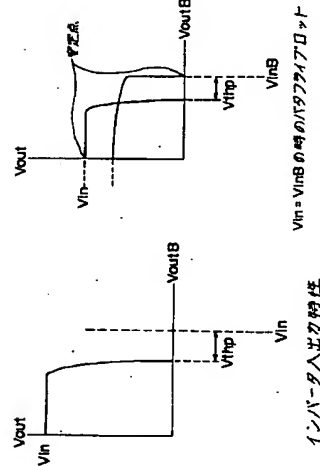
実施例のインバータ

【図5】



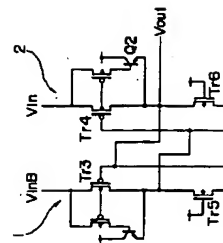
実施例のレベル変換回路

【図3】

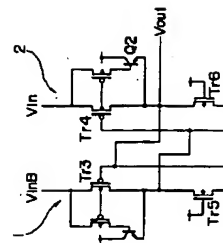


インバータ入出力特性

【図4】

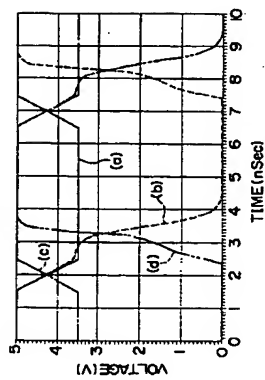
 $V_{in} = V_{inB}$ の時のバタフライプロット

【図7】



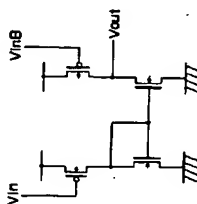
応用例の回路図

【図6】



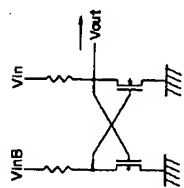
動作波形図

【図9】



カレントミラーを用いたレベル変換回路

【図8】



フリップフロップを用いたレベル変換回路